

PCT REQUESTOriginal (for **SUBMISSION**) - printed on 02.01.2001 01:43:49 PM

0	For receiving Office use only	
0-1	International Application No.	
0-2	International Filing Date	
0-3	Name of receiving Office and "PCT International Application"	
0-4	Form - PCT/RO/101 PCT Request	
0-4-1	Prepared using	PCT-EASY Version 2.91 (updated 01.01.2001)
0-5	Petition The undersigned requests that the present international application be processed according to the Patent Cooperation Treaty	
0-6	Receiving Office (specified by the applicant)	Japanese Patent Office (RO/JP)
0-7	Applicant's or agent's file reference	eppc2429
I	Title of invention	SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE THEREOF, CIRCUIT BOARD AND ELECTRONIC INSTRUMENT
II	Applicant	
II-1	This person is:	applicant only
II-2	Applicant for	all designated States except US
II-4	Name	SEIKO EPSON CORPORATION
II-5	Address:	4-1, Nishi-shinjuku 2-chome Shinjuku-ku, Tokyo 163-0811 Japan
II-6	State of nationality	JP
II-7	State of residence	JP
II-8	Telephone No.	03-3348-3114
II-9	Facsimile No.	03-3340-4258
III-1	Applicant and/or inventor	
III-1-1	This person is:	applicant and inventor
III-1-2	Applicant for	US only
III-1-4	Name (LAST, First)	HASHIMOTO, Nobuaki
III-1-5	Address:	c/o SEIKO EPSON CORPORATION 3-5, Owa 3-chome Suwa-shi, Nagano 392-8502 Japan
III-1-6	State of nationality	JP
III-1-7	State of residence	JP

PCT REQUEST

Original (for **SUBMISSION**) - printed on 02.01.2001 01:43:49 PM

IV-1	Agent or common representative; or address for correspondence The person identified below is hereby/has been appointed to act on behalf of the applicant(s) before the competent International Authorities as:	agent	
IV-1-1	Name (LAST, First)	INOUE, Hajime	
IV-1-2	Address:	2nd Floor, Ogikubo TM Bldg., 26-13, Ogikubo 5-chome Suginami-ku, Tokyo 167-0051 Japan	
IV-1-3	Telephone No.	03-5397-0891	
IV-1-4	Facsimile No.	03-5397-0893	
IV-1-5	e-mail	MXJ00663@nift.ne.jp	
V	Designation of States		
V-1	Regional Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	--	
V-2	National Patent (other kinds of protection or treatment, if any, are specified between parentheses after the designation(s) concerned)	CN JP KR SG US	
V-5	Precautionary Designation Statement In addition to the designations made under items V-1, V-2 and V-3, the applicant also makes under Rule 4.9(b) all designations which would be permitted under the PCT except any designation(s) of the State(s) indicated under item V-6 below. The applicant declares that those additional designations are subject to confirmation and that any designation which is not confirmed before the expiration of 15 months from the priority date is to be regarded as withdrawn by the applicant at the expiration of that time limit.		
V-6	Exclusion(s) from precautionary designations	NONE	
VI-1	Priority claim of earlier national application		
VI-1-1	Filing date	14 May 1999 (14.05.1999)	
VI-1-2	Number	11-133426	
VI-1-3	Country	JP	
VII-1	International Searching Authority Chosen	Japanese Patent Office (JPO) (ISA/JP)	
VIII	Check list	number of sheets	electronic file(s) attached
VIII-1	Request	4	-
VIII-2	Description	16	-
VIII-3	Claims	5	-
VIII-4	Abstract	1	-
VIII-5	Drawings	4	-
VIII-7	TOTAL	30	

PCT REQUEST

eppc2429

Original (for SUBMISSION) - printed on 02.01.2001 01:43:49 PM

	Accompanying items	paper document(s) attached	electronic file(s) attached
VIII-8	Fee calculation sheet	✓	-
VIII-16	PCT-EASY diskette	-	diskette
VIII-18	Figure of the drawings which should accompany the abstract	<no .>	
VIII-19	Language of filing of the international application	Japanese	
IX	Signature of applicant or agent		
IX-1	Name (LAST, First)		
IX-2	Capacity		

FOR RECEIVING OFFICE USE ONLY

10-1	Date of actual receipt of the purported international application	
10-2	Drawings:	
10-2-1	Received	
10-2-2	Not received	
10-3	Corrected date of actual receipt due to later but timely received papers or drawings completing the purported international application	
10-4	Date of timely receipt of the required corrections under PCT Article 11(2)	
10-5	International Searching Authority	ISA/JP
10-6	Transmittal of search copy delayed until search fee is paid	

FOR INTERNATIONAL BUREAU USE ONLY

11-1	Date of receipt of the record copy by the International Bureau	
------	--	--

国際調査報告

(法 8 条、法施行規則第40、41条)
〔P C T 1 8 条、P C T 規則43、44〕

出願人又は代理人 の書類記号 E P P C 2 4 2 9	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0) 及び下記 5 を参照すること。	
国際出願番号 P C T / J P 0 0 / 0 3 0 5 1	国際出願日 (日.月.年) 1 2 . 0 5 . 0 0	優先日 (日.月.年) 1 4 . 0 5 . 9 9
出願人 (氏名又は名称) セイコーエプソン株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (P C T 1 8 条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は

☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第47条 (P C T 規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ H01L23/12

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2000年
 日本国登録実用新案公報 1994-2000年
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 11-97576, A (松下電器産業株式会社) 9. 4月. 1999 (09. 04. 99) 特許請求の範囲、図4 (ファミリーなし)	1-26
A	JP, 4-287952, A (三菱電機株式会社) 13. 10. 1992 (13. 10. 92) 特許請求の範囲 (ファミリーなし)	1-26

☐ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

07. 08. 00

国際調査報告の発送日

15.08.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 坂本 薫昭



4R

9265

電話番号 03-3581-1101 内線 6362

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03051

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L23/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 11-97576, A (Matsushita Electric Ind. Co., Ltd.), 09 April, 1999 (09.04.99), Claims; Fig. 4 (Family: none)	1-26
A	JP, 4-287952, A (Mitsubishi Electric Corporation), 13 October, 1992 (13.10.92), Claims (Family: none)	1-26

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
07 August, 2000 (07.08.00)

Date of mailing of the international search report
15 August, 2000 (15.08.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

(51) 国際特許分類7
H01L 23/12

A1

(11) 国際公開番号

WO00/70677

(43) 国際公開日

2000年11月23日(23.11.00)

(21) 国際出願番号 PCT/JP00/03051

(81) 指定国 CN, JP, KR, SG, US

(22) 国際出願日 2000年5月12日(12.05.00)

添付公開書類

国際調査報告書

(30) 優先権データ

特願平11/133426

1999年5月14日(14.05.99)

JP

(71) 出願人 (米国を除くすべての指定国について)

セイコーエプソン株式会社

(SEIKO EPSON CORPORATION)[JP/JP]

〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)

(72) 発明者; および

(75) 発明者/出願人 (米国についてののみ)

橋元伸晃(HASHIMOTO, Nobuaki)[JP/JP]

〒392-8502 長野県諏訪市大和3丁目3番5号

セイコーエプソン株式会社内 Nagano, (JP)

(74) 代理人

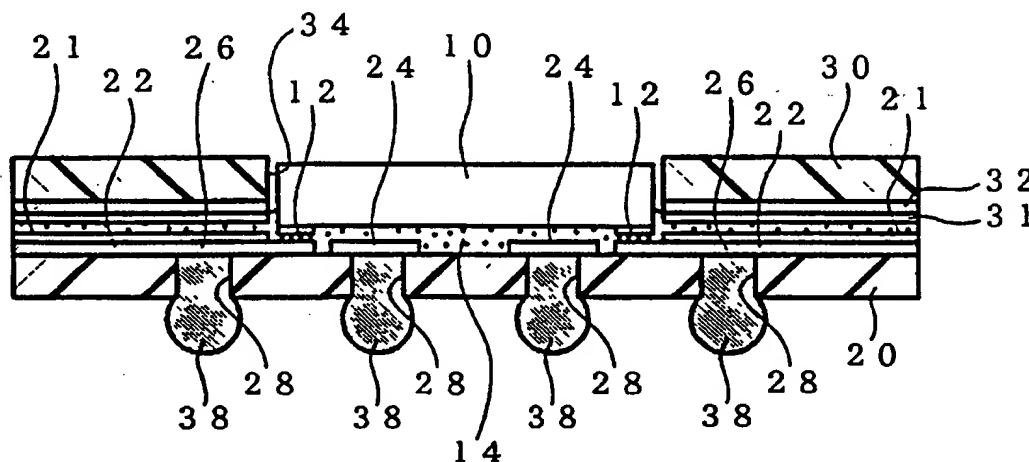
井上 一, 外(INOUE, Hajime et al.)

〒167-0051 東京都杉並区荻窪5丁目26番13号

荻窪TMビル2階 Tokyo, (JP)

(54) Title: SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURE THEREOF, CIRCUIT BOARD, AND ELECTRONIC DEVICE

(54) 発明の名称 半導体装置及びその製造方法、回路基板並びに電子機器



(57) Abstract

A semiconductor device comprises a semiconductor chip (10) with a plurality of electrodes; a first flexible substrate (20) having wiring patterns (22) and being larger than that side of the semiconductor chip (10) where the electrodes (12) are formed, the substrate carrying the semiconductor chip (10); a plurality of external terminals (38) connected electrically with the electrode (12) through the wiring patterns (22); and a second flexible substrate (30) attached to the first flexible substrate (20) while avoiding the semiconductor chip (10).

(51) 国際特許分類 H01L 23/12	A1	(11) 国際公開番号 WO00/70677
		(43) 国際公開日 2000年11月23日(23.11.00)

(21) 国際出願番号 PCT/JP00/03051 (81) 指定国 CN, JP, KR, SG, US

(22) 国際出願日 2000年5月12日(12.05.00) 添付公開書類
国際調査報告書

(30) 優先権データ
特願平11/133426 1999年5月14日(14.05.99) JP

(71) 出願人 (米国を除くすべての指定国について)
セイコーエプソン株式会社
SEIKO EPSON CORPORATION [JP/JP]
〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)

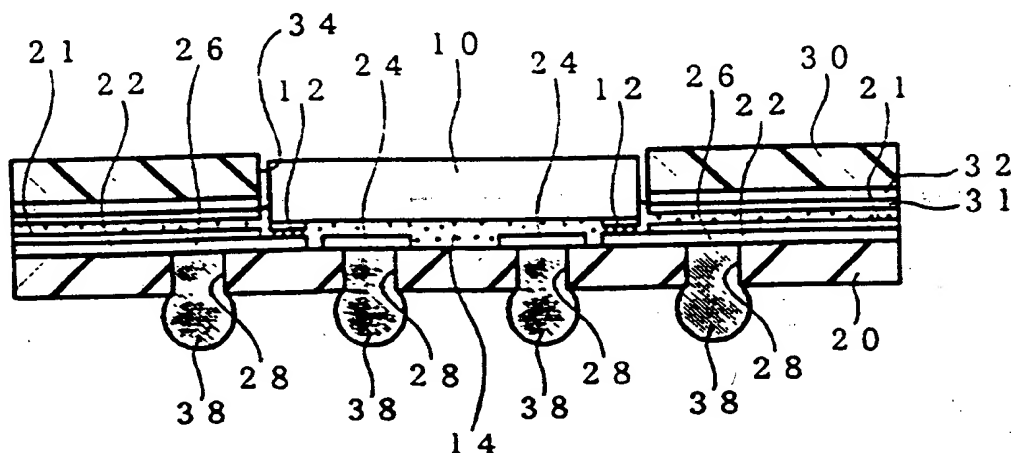
(72) 発明者：および

(75) 発明者／出願人 (米国についてのみ)
橋元伸晃(HASHIMOTO, Nobuaki)[JP/JP]
〒392-8502 長野県諏訪市大和3丁目3番5号
セイコーエプソン株式会社内 Nagano, (JP)

(74) 代理人
井ノ一, 外(INOUE, Hajime et al.)
〒167-0051 東京都杉並区荻窪5丁目26番13号
荻窪TMビル2階 Tokyo, (JP)

(54) Title: SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURE THEREOF, CIRCUIT BOARD, AND ELECTRONIC DEVICE

(54) 発明の名称 半導体装置及びその製造方法、回路基板並びに電子機器



(57) Abstract

A semiconductor device comprises a semiconductor chip (10) with a plurality of electrodes; a first flexible substrate (20) having wiring patterns (22) and being larger than that side of the semiconductor chip (10) where the electrodes (12) are formed, the substrate carrying the semiconductor chip (10); a plurality of external terminals (38) connected electrically with the electrode (12) through the wiring

(57)要約

半導体装置は、複数の電極が形成された半導体チップ(10)と、半導体チップ(10)の電極(12)が形成された面よりも大きい形状であって配線パターン(22)が形成されて半導体チップ(10)が搭載された第1のフレキシブル基板(20)と、配線パターン(22)によって電極(12)に電氣的に接続された複数の外部端子(38)と、半導体チップ(10)を避けて第1のフレキシブル基板(20)に貼り付けられた第2のフレキシブル基板(30)と、を含む。

PCTに基づいて公開される国際出願のパンフレット第一頁に記載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シネラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GM	ギニア	MC	モナコ	TG	トーゴ
BG	ブルガリア	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GR	ギリシャ	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GW	ギニア・ビサウ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BY	ベラルーシ	HR	クロアチア	ML	マリ	TT	トリニダード・トバゴ
CA	カナダ	HU	ハンガリー	MN	モンゴル	TZ	タンザニア
CF	中央アフリカ	ID	インドネシア	MR	モーリタニア	UA	ウクライナ
CG	コンゴ	IE	アイルランド	MW	マラウイ	UG	ウガンダ
CH	スイス	IL	イスラエル	MX	メキシコ	US	米国
CI	コートジボアール	IN	インド	MZ	モザンビーク	UZ	ウズベキスタン
CM	カメルーン	IS	アイスランド	NE	ニジェール	VN	ベトナム
CN	中国	IT	イタリア	NL	オランダ	YU	ユーゴスラヴィア
CR	コスタ・リカ	JP	日本	NO	ノルウェー	ZA	南アフリカ共和国
CU	キューバ					ZW	ジンバブエ

明 細 書

半導体装置及びその製造方法、回路基板並びに電子機器

[技術分野]

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

[背景技術]

半導体装置のパッケージの一形態として知られているT-BGA (Tape Ball Grid Array) や、Fan-Out型又はFan-In/Out型CSPでは、パッケージサイズがチップサイズよりもわずかに大きくなっている。この形態の半導体装置では、フレキシブル基板が使用され、フレキシブル基板の半導体チップから突出した部分にもハンダボールが設けられている。そして、ハンダボールの平坦性 (Coplanarity) を確保するためにスティフナを貼り付けることが多かった。

しかしながら、スティフナは、剛性や加工性などを考慮してステンレス鋼が採用されていて高価であるのみならず、必要などきだけに別部材で調達しなければならないものであった。

[発明の開示]

本発明は、この問題点を解決するものであり、その目的は、高価なスティフナを省略でき、実装組立工程で使用する部材を活用して平坦性を確保できる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

(1) 本発明に係る半導体装置は、複数の電極が形成された半導体チップと、配線パターンが形成され、前記半導体チップが搭載された第1のフレキシブル基板と、

前記配線パターンを介して前記電極に電氣的に接続された複数の外部端子と、

前記半導体チップを避けて前記第1のフレキシブル基板に貼り付けられた第2のフレキシブル基板と、

を含む。

本発明によれば、第1のフレキシブル基板が半導体チップよりも大きいので、半導体チップから一部がはみ出すようになっており、この部分に第2のフレキシブル基板が貼り付けられる。これにより、第1のフレキシブル基板が補強され、外部端子の平坦性が確保される。また、補強のために使用される部材もフレキシブル基板であるから、高価なスティフナを用意しなくてもよい。

(2) この半導体装置において、

前記第1及び第2のフレキシブル基板は、同一材料からなり、かつ、厚みがほぼ等しくてもよい。

これによれば、一種類の部材を利用できるのでコストを下げることができる。

(3) この半導体装置において、

前記配線パターンは、前記第2のフレキシブル基板と対向するように配置され、

前記第1のフレキシブル基板には、複数の貫通孔が形成されており、前記貫通孔を介して前記配線パターンと接続するように前記外部端子が設けられ、前記外部端子は前記第1のフレキシブル基板における前記配線パターンが形成された面とは反対側の面から突出していてもよい。

これによれば、第1及び第2のフレキシブル基板の間に配線パターンが位置するので、配線パターンの両面が覆われて保護される。

(4) この半導体装置において、

前記第1及び第2のフレキシブル基板の間に形成され、前記配線パターンと同一材料からなり、かつ、厚みがほぼ等しく、前記配線パターンと電氣的に絶縁された導電箔をさらに有してもよい。

これによれば、第1及び第2のフレキシブル基板の間に、同じ材料であって同じ厚みの一対の導電部材が設けられるので、厚さ方向において対称構造となる。

(5) この半導体装置において、

前記第1のフレキシブル基板と前記配線パターンとの接着手段と、前記第2のフレキシブル基板と前記導電箔との接着手段とは同じであってもよい。

これによれば、接着手段も考慮に入れて、厚さ方向において対称構造となっている

(6) この半導体装置において、

前記導電箔は、前記配線パターンの対称形状をなしていてもよい。

これによれば、厚さ方向のみならず、平面的にも対称構造となっている。

(7) この半導体装置において、

前記配線パターンにおける前記第1のフレキシブル基板とは反対側の面には、第1の絶縁膜が形成され、

前記導電箔における前記第2のフレキシブル基板とは反対側の面には、第2の絶縁膜が形成されていてもよい。

これによれば、第1及び第2の絶縁膜によって、配線パターンと導電箔との電気的な絶縁が図られる。

(8) この半導体装置において、

前記半導体チップの電極は、接着剤に導電粒子が分散されてなる異方性導電材料を介して前記配線パターンに電気的に接続されており、

前記異方性導電材料によって、前記第1及び第2のフレキシブル基板が接着されていてもよい。

これによれば、半導体チップの電極と配線パターンとを電気的に接続する部材が、第1及び第2のフレキシブル基板の接着の部材にもなるので、部材数を減らしてコストを下げることができる。

(9) この半導体装置において、

前記第1及び第2のフレキシブル基板は、樹脂によって接着され、

前記樹脂は、前記第1のフレキシブル基板における前記配線パターンが形成された面上に設けられて、前記配線パターンにおける前記第2のフレキシブル基板を向く面及び側端面に密着していてもよい。

これによれば、第1及び第2のフレキシブル基板を接着する樹脂が、配線パターンに密着する。これにより、配線パターンの表面に、水分の溜まる隙間がなくなり、耐湿性が向上する。

(10) 本発明に係る回路基板には、上記半導体装置が実装されている。

(11) 本発明に係る電子機器は、上記半導体装置を有する。

(12) 本発明に係る半導体装置の製造方法は、複数の電極を有する半導体チップと、配線パターンが形成された第1のフレキシブル基板と、第2のフレキシブル基板と、を用意する工程と、

前記第1のフレキシブル基板に前記半導体チップを搭載する工程と、

前記第1のフレキシブル基板における前記半導体チップの搭載領域を除く部分に、第2のフレキシブル基板を貼り付ける工程と、

前記配線パターンを介して、前記電極と電氣的に接続される外部端子を設ける工程と、

を含む。

本発明によれば、第1のフレキシブル基板が半導体チップよりも大きいので、半導体チップから一部がはみ出すようになっており、この部分に第2のフレキシブル基板が貼り付けられる。これにより、第1のフレキシブル基板が補強され、外部端子の平坦性が確保される。また、補強のために使用される部材もフレキシブル基板であるから、高価なスティフナを用意しなくてもよい。

(13) この半導体装置の製造方法において、

前記第2のフレキシブル基板を貼り付ける工程を行った後に、前記第1及び第2のフレキシブル基板を打ち抜く工程を含んでもよい。

これによれば、第1及び第2のフレキシブル基板を打ち抜いて、半導体装置の最終形状にすることができる。

(14) この半導体装置の製造方法において、

前記第1及び第2のフレキシブル基板はテープ状をなし、

前記第1のフレキシブル基板には、前記配線パターンが繰り返して形成されており、

前記第2のフレキシブル基板には、前記半導体チップを避けるための穴が繰り返して形成されていてもよい。

これによれば、複数の半導体装置を連続的に製造することができる。

(15) この半導体装置の製造方法において、

前記第2のフレキシブル基板を貼り付ける工程を行った後に、前記第2のフレキシブル基板を避けて前記第1のフレキシブル基板を打ち抜く工程を含んでもよい。

これによれば、第1のフレキシブル基板を打ち抜くだけなので、第1及び第2のフレキシブル基板を打ち抜く場合よりも、工程が簡単であって、外形打ち抜き金型を安価にまた長寿命にすることができる。

(16) この半導体装置の製造方法において、

前記第1のフレキシブル基板はテープ状をなし、

前記第2のフレキシブル基板は、前記第1のフレキシブル基板の打ち抜かれる領域よりも小さい形状をなし、

前記第1のフレキシブル基板には、前記配線パターンが繰り返して形成されており、

前記第2のフレキシブル基板には、前記半導体チップを避けるための穴が形成されていてもよい。

これによれば、第1のフレキシブル基板がテープ状をなしているので、複数の半導体装置を連続的に製造することができる。

(17) この半導体装置の製造方法において、

前記第2のフレキシブル基板を貼り付ける工程を行った後に、前記半導体チップを搭載する工程を行ってもよい。

(18) この半導体装置の製造方法において、

前記半導体チップを搭載する工程を行った後に、前記第2のフレキシブル基板を貼り付ける工程を行ってもよい。

(19) この半導体装置の製造方法において、

前記半導体チップを搭載する工程は、前記第1のフレキシブル基板に、前記半導体チップの搭載領域を超えて、接着剤に導電粒子が分散されてなる異方性導電材料を設ける工程と、前記異方性導電材料を介して前記電極と前記配線パターンとを電気的に接続する工程と、を含み、

前記第2のフレキシブル基板を貼り付ける工程では、前記異方性導電材料によって、前記第2のフレキシブル基板を前記第1のフレキシブル基板に貼り付けてもよい。

これによれば、半導体チップの電極と配線パターンとを電気的に接続する材料を使って、第1及び第2のフレキシブル基板を接着するので、接着のための材料を塗る工程を減らすことができる。

(20) この半導体装置の製造方法において、

前記第2のフレキシブル基板を貼り付ける工程は、前記第1及び第2のフレキシブル基板の少なくとも一方に樹脂を塗布する工程と、前記第1及び第2のフレキシブル基板を前記樹脂を介して密着させて前記樹脂を前記配線パターンにおける前記第2のフレキシブル基板を向く面及び側端面に密着させる工程と、を含んでもよい。

これによれば、第1及び第2のフレキシブル基板を樹脂によって接着させ、樹脂を配線パターンに密着させる。これにより、配線パターンの表面に、水分の溜まる隙間がなくなり、耐湿性を向上させることができる。

(21) この半導体装置の製造方法において、

前記第1及び第2のフレキシブル基板の一方には、位置決め用の穴が形成されており、他方には位置決め用のマークが形成されており、前記穴と前記マークとを位置合わせして、前記第1及び第2のフレキシブル基板の位置合わせを行ってもよい。

これによれば、第1及び第2のフレキシブル基板を正確な位置に設けることができる。

(22) この半導体装置の製造方法において、

前記第2のフレキシブル基板として、前記第1のフレキシブル基板と同じ材料であって同じ厚みで形成されたものを使用してもよい。

これによれば、一種類の部材を利用できるのでコストを下げることができる。

(23) この半導体装置の製造方法において、

前記第2のフレキシブル基板として、前記配線パターンと同じ材料であって同じ厚みからなる導電箔が形成されたものを使用し、

前記導電箔と前記配線パターンとを対向させて、かつ、電氣的に絶縁させて、前記第2のフレキシブル基板を前記第1のフレキシブル基板に貼り付けてもよい。

これによれば、配線パターンの形成された第1のフレキシブル基板と、導電箔の形成された第2のフレキシブル基板とを貼り付ける。第1及び第2のフレキシブル基板の間に、同じ材料であって同じ厚みの一対の導電部材が設けられるので、厚さ方向において対称構造となる。

(24) この半導体装置の製造方法において、

前記導電箔は、前記配線パターンの対称形状をなしてもよい。

これによれば、厚さ方向のみならず、平面的にも対称構造となっている。

(25) この半導体装置の製造方法において、

前記第1のフレキシブル基板として、前記配線パターンに第1の絶縁膜が形成されたものを使用し、

前記第2のフレキシブル基板として、前記導電箔に第2の絶縁膜が形成されたものを使用してもよい。

これによれば、第1及び第2の絶縁膜によって、配線パターンと導電箔との電気的な絶縁を図る。

[図面の簡単な説明]

図1は、本発明を適用した実施の形態に係る半導体装置を示す図である。

図2は、本発明を適用した実施の形態に係る半導体装置の製造方法を説明する図である。

図3は、本発明を適用した他の実施の形態に係る半導体装置を示す図である。

図4は、本発明の実施の形態に係る回路基板を示す図である。

図5は、本発明に係る半導体装置を備える電子機器を示す図である。

[発明を実施するための最良の形態]

以下、本発明の実施の形態を、図面を参照して説明する。本発明に係る半導体装置のパッケージ形態は、T-BGA (Tape Ball Grid Array) を含むBGA (Ball Grid Array)、T-CSP (Tape Chip Size/Scale Package) を含むCSP (Chip Size/Scale Package)、TAB接合技術を利用して更にパッケージ化したTCP (Tape Carrier Package) などのいずれが適用されてもよい。本発明に係る半導体装置の製造方法で、配線パターンと半導体チップの電極との接合方法として、TAB (Tape Automated Bonding)、フリップチップボンディング、COF (Chip On Film) などのフェースダウンボンディング、異方性導電材料を使用したボンディング、もしくはワイヤーボンディングを使用したCOB (Chip On Board) など

が挙げられる。

図1は、本発明を適用した実施の形態に係る半導体装置を示す図である。この半導体装置は、半導体チップ10と、第1のフレキシブル基板20と、第2のフレキシブル基板30と、複数の外部端子38と、を含む。

半導体チップ10は、その平面形状が矩形（正方形又は長方形）である場合には、少なくとも一辺（多くの場合、対向する二辺又は四辺）に沿って、半導体チップ10の一方の面（能動面）に複数の電極12が形成されている。あるいは、半導体チップ10の一方の面の中央に複数の電極12を一行に並べてもよい。図1に示す電極12は、アルミニウムなどのパッドと、ハンダボール、金ワイヤーボール、金メッキなどからなるバンプと、を含む。パッドとバンプとの間にバンプ金属の拡散防止層として、ニッケル、クロム、チタン等を付加してもよい。あるいは、バンプを無くしてパッドだけで電極12を構成してもよい。

第1のフレキシブル基板20は、有機系の材料から形成されることが多く、耐熱性に優れるスーパーエンブラフィルム、ポリイミドフィルムなどが適している。第1のフレキシブル基板20は、半導体チップ10の電極12が形成された面よりも大きければ、全体形状は特に限定されない。第1のフレキシブル基板20の厚みは、その材質により決まることが多いが、これも限定されない。

第1のフレキシブル基板20には、配線パターン22が形成されている。配線パターン22は、第1のフレキシブル基板20の一方の面に形成される。第1のフレキシブル基板20の一方の面の配線パターン22の他に、他方の面にも配線パターンを形成してもよい。配線パターン22は、スパッタリング等により第1のフレキシブル基板20に銅などの導電性の膜を被着し、これをエッチングして形成することができる。あるいは、第1のフレキシブル基板20となるポリイミド樹脂などの熱可塑性樹脂を、銅箔などの導電箔に貼り付けた後、導電箔をエッチングして第1のフレキシブル基板20及び配線パターン22を形成することもできる。これらの場合には、第1のフレキシブル基板20に配線パターン22が直接形成され、接着剤が介在しない2層基板となる。あるいは、第1のフレキシブル基板20と配線パターン22との間に接着剤が介在する3層基板を使用してもよい。あるいは、基板に絶縁樹脂と配線パターンを

積層して構成されるビルドアップ多層構造の基板や、複数の基板が積層された多層基板を使用してもよい。

配線パターン 22 は、半導体チップ 10 の複数の電極 12 と、複数の外部端子 38 とを接続するためのものである。配線パターン 22 は、電極 12 が接合されるランド部 24 と、外部端子 38 が設けられるランド部 26 と、を含んでもよい。第 1 のフレキシブル基板 20 には、複数の貫通孔 28 が形成されている。貫通孔 28 上に、外部端子 38 を設けるためのランド部 26 が位置する。図 1 に示す例では、貫通孔 28 は、半導体チップ 10 の搭載領域の内側及び外側に形成され、貫通孔 28 に対応する位置に外部端子 38 が設けられている。したがって、図 1 に示す半導体装置は、Fan-In/Out 型である。あるいは、貫通孔 28 を、半導体チップ 10 の搭載領域の外側のみに形成し、貫通孔 28 に対応する位置に外部端子 38 を設けて、Fan-Out 型の半導体装置を構成してもよい。あるいは、貫通孔 28 を、半導体チップ 10 の搭載領域の内側のみに形成し、貫通孔 28 に対応する位置に外部端子 38 を設けて、Fan-In 型の半導体装置を構成してもよい。

配線パターン 22 の表面には、第 1 の絶縁膜 21 が設けられていてもよい。詳しくは、配線パターン 22 における第 1 のフレキシブル基板 20 との密着面を除く面に、第 1 の絶縁膜 21 が設けられている。第 1 の絶縁膜 21 として、ソルダレジストなどの樹脂を使用することができる。第 1 の絶縁膜 21 は、第 1 のフレキシブル基板 20 の配線パターン 22 が形成された面に、配線パターン 22 における電気的な接続をとる部分を除いて形成してもよい。

第 1 のフレキシブル基板 20 と配線パターン 22 とで構成される配線基板は、TAB 技術で使用されるテープキャリアから打ち抜かれたものであってもよく、FPC (Flexible Printed Circuit) であってもよい。一般的なテープキャリアでは、デバイスホールが形成され、デバイスホールにインナーリードが突出しているが、デバイスホールの無いテープ状のフレキシブル基板を第 1 のフレキシブル基板 20 としてもよい。

半導体チップ 10 は、第 1 のフレキシブル基板 20 に搭載されている。半導体チップ 10 の電極 12 と、配線パターン 22 とが電気的に接続されている。半導体の形態は

フェースアップボンディングであってもフェースダウンボンディングであってもよい。フェースアップボンディングでは、半導体チップ10の電極12と配線パターン22は、ワイヤーボンディングもしくはTABボンディングで接続され、その後半導体チップ10の実装部は樹脂で覆われることが多い。フェースダウンボンディングでは、導電樹脂ペーストによるもの、Au-Au、Au-Sn、ハンダなどによる金属接合によるもの、絶縁樹脂の収縮力によるものなどの形態があり、そのいずれの形態を用いてもよい。図1に示す半導体装置は、異方性導電材料14を使用して半導体チップ10がフェースダウンボンディングされたものである。

異方性導電材料14は、接着剤（バインダ）に導電粒子（導電フィラー）が分散されたもので、分散剤が添加される場合もある。異方性導電材料14の接着剤として、熱硬化性の接着剤が使用されることが多い。異方性導電材料14は、少なくとも配線パターン22における半導体チップ10とのボンディング部上に設けられる。あるいは、第1のフレキシブル基板20の第1領域12の全体を覆うように異方性導電材料14を設けてもよい。異方性導電材料14は、電極12と配線パターン22との間で押しつぶされて、導電粒子によって両者間での電氣的導通を図るようになっている。

外部端子38は第1のフレキシブル基板20に設けられている。ハンダボールを外部端子38としてもよい。あるいは、配線パターン22の一部を貫通孔28の内部で屈曲させて外部端子38を形成してもよい。図1に示す例では、第1のフレキシブル基板20の一方の面に配線パターン22が形成されており、貫通孔28を通して外部端子38が配線パターン22上に設けられている。そして、第1のフレキシブル基板20の他方の面から外部端子38が突出する。図1に示す例では、外部端子38が、半導体チップ10の搭載領域の内側及び外側に設けられているので、この半導体装置は、Fan-In/Out型である。あるいは、外部端子38を、半導体チップ10の搭載領域の外側のみに設けて、Fan-Out型の半導体装置を構成してもよい。あるいは、外部端子38を、半導体チップ10の搭載領域の内側のみに形成して、Fan-In型の半導体装置を構成してもよい。

第2のフレキシブル基板30は、半導体チップ10を避けて第1のフレキシブル基板20に貼り付けられている。例えば、第1のフレキシブル基板20の中央部に半導

体チップ10が搭載されている場合は、第1のフレキシブル基板20の端部（中央部以外の部分）に第2のフレキシブル基板30が貼り付けられる。第2のフレキシブル基板30は、第1のフレキシブル基板20における配線パターン22が形成された面に貼り付けられている。この面に半導体チップ10が搭載されている場合は、第2のフレキシブル基板30には、半導体チップ10を挿通できる穴34が形成されているもよい。

また、第2のフレキシブル基板30は、半導体チップ10に対応してくぼむように凸形に形成された状態のものを使用してもよく、この場合は、半導体チップ10を避ける穴は不要となるので、抜き金型が簡素化される。

第2のフレキシブル基板30は、第1のフレキシブル基板20と同じ材料で形成してもよく、また、第1のフレキシブル基板20と同じ厚みで形成してもよい。あるいは、第2のフレキシブル基板30は第1のフレキシブル基板20とほぼ同一の熱膨張係数を有する材料を用いて形成しても良い。図1に示す第2のフレキシブル基板30には、導電箔32が形成されている。導電箔32は、配線パターン22と同じ材料で形成されてもよく、同じ厚みであってもよい。また、導電箔32は、配線パターン22と対称形状をなしていることが好ましい。配線パターン22との同一形状が対称形状となることが多い。さらに、第2のフレキシブル基板30と導電箔32との接着手段は、第1のフレキシブル基板20と配線パターン22との接着手段と同じであることが好ましい。例えば、同一の接着剤を使用するか、あるいは接着剤を使用せずに第1又は第2のフレキシブル基板20、30との密着力で配線パターン22又は導電箔32が接合されていることが好ましい。導電箔32には第2の絶縁膜31が形成されていることが好ましい。第2の絶縁膜31は、第1の絶縁膜21と同じ材料であってもよく、同じ厚みであってもよい。

第2のフレキシブル基板30は、導電箔32が形成された面を配線パターン22に向けて第1のフレキシブル基板20に貼り付けられている。第1及び第2のフレキシブル基板20、30が同一の材料で同一の厚みであり、配線パターン22と導電箔32とが同一材料で同一の厚みであり、第1のフレキシブル基板20と配線パターン22との接着手段が、第2のフレキシブル基板30と導電箔32との接着手段と同じで

あれば、第1及び第2のフレキシブル基板20、30間の構造が、厚み方向において対称構造となる。その結果、第1のフレキシブル基板20と配線パターン22との熱膨張係数の差と、第2のフレキシブル基板30と導電箔32との熱膨張係数の差と、が等しくなって反りを抑えることができる。また、第1及び第2のフレキシブル基板20、30として、同一の配線基板（例えばTABテープ）を使用すれば、部品を共用化してコストを削減することができる。

第1及び第2のフレキシブル基板20、30は、図1の例では、異方性導電材料14によって接着されている。この場合には、異方性導電材料14は、半導体チップ10の電極12が形成された面をはみ出して設けられる。あるいは、第1及び第2のフレキシブル基板20、30は、異方性導電材料14以外の樹脂、例えば接着剤によって貼り付けられていてもよい。いずれの場合であっても、第1及び第2のフレキシブル基板20、30を貼り付けるときには両者が押圧されるので、配線パターン22の表面及び側端面に異方性導電材料14又は樹脂が密着する。その結果、配線パターン22の表面に隙間が形成されず耐湿性が向上する。これは、特に、配線パターン22上に第1の絶縁膜21が形成されていないときに効果的である。

本実施の形態によれば、第1のフレキシブル基板20が半導体チップ10よりも大きいので、半導体チップ10から一部がはみ出すようになっており、この部分に第2のフレキシブル基板30が貼り付けられる。これにより、第1のフレキシブル基板20が補強され、外部端子38の平坦性が確保される。また、補強のために使用される部材もフレキシブル基板であるから、高価なステンレスや銅合金のスティフナを用意しなくてもよい。

本実施の形態に係る半導体装置は、上記のように形成されており、以下、この半導体装置の製造方法について説明する。

まず、半導体チップ10と、図2に示す第1及び第2のフレキシブル基板40、42と、を用意する。図2に示す第1のフレキシブル基板40は、最終形状の複数の第1のフレキシブル基板20（図1参照）が一体化してテープ状をなすものであって、配線パターン22が繰り返して形成されている。図2に示す第2のフレキシブル基板42は、最終形状の複数の第2のフレキシブル基板30（図1参照）が一体化してテ

ープ状をなすものであって、半導体チップ10を避ける穴34が繰り返して形成されている。もしくは、半導体チップ10を避けるように予め凸部が繰り返して形成されている。あるいは、最終形状の第1及び第2のフレキシブル基板20、30を用意してもよい。または、最終形状の第1及び第2のフレキシブル基板20、30よりも大きい個片の第1及び第2のフレキシブル基板を用意してもよい。あるいは、テープ状の第1のフレキシブル基板40と、最終形状の第2のフレキシブル基板30と、を用意してもよい。あるいは、テープ状の第1のフレキシブル基板40と、最終形状よりも大きい第2のフレキシブル基板と、を用意してもよい。

第1及び第2のフレキシブル基板40(20)、42(30)の一方には位置決め用の穴44が形成され、他方には位置決め用のマーク46が形成されていることが好ましい。穴44とマーク46との位置合わせを行うことで、第1及び第2のフレキシブル基板40(20)、42(30)の位置合わせを行うことができる。

テープ状の第1又は第2のフレキシブル基板40、42や、最終形状よりも大きい第1又は第2のフレキシブル基板を使用するときには、これらを打ち抜く工程が含まれる。

例えば、テープ状又は最終形状よりも大きい第2のフレキシブル基板42を、テープ状又は最終形状よりも大きい第1のフレキシブル基板40に貼り付ける工程を行った後に、第1及び第2のフレキシブル基板40、42を打ち抜く工程を含んでもよい。

あるいは、最終形状の第2のフレキシブル基板30(図1参照)を、テープ状又は最終形状よりも大きい第1のフレキシブル基板40に貼り付ける工程を行った後に、第2のフレキシブル基板30を避けて第1のフレキシブル基板40を打ち抜く工程を行ってもよい。

続いて、第1のフレキシブル基板40(20)に半導体チップ10を搭載する工程と、第1のフレキシブル基板40(20)に第2のフレキシブル基板42(30)を貼り付ける工程と、外部端子38を設ける工程と、を行う。これらの工程の順序は問わないが、例えば次の順序で行う。

(第1の例)

半導体チップ10を搭載する工程を行った後に、第2のフレキシブル基板42(30)を貼り付ける工程を行う。例えば、第1のフレキシブル基板40(20)上に、半導体チップ10の搭載領域を超えて異方性導電材料14を設け、半導体チップ10を搭載する。そして、半導体チップ10の電極12と配線パターン22とを電氣的に接続する。その後、異方性導電材料14によって、第2のフレキシブル基板42(30)を第1のフレキシブル基板40(20)に貼り付ける。この工程によって、図1に示す半導体装置を製造することができる。あるいは、接着剤などの樹脂によって第2のフレキシブル基板42(30)を第1のフレキシブル基板40(20)に貼り付けてもよい。

(第2の例)

図3は、第2のフレキシブル基板を貼り付ける工程を行った後に、半導体チップを搭載する工程を行って製造された半導体装置を示す図である。同図において、半導体チップ10、第1のフレキシブル基板20及び外部端子38の構成は、上述した通りである。第2のフレキシブル基板30も、それ自体の構成は上述した通りのものであるが、導電箔32及び第2の絶縁膜31が形成されていない点で、図2に示す半導体装置は、図1に示す半導体装置と異なる。また、上述したように、最終形状の第1及び第2のフレキシブル基板20、30の代わりに、テープ状又は最終形状よりも大きい第1及び第2のフレキシブル基板40、42を使用してもよい。以下の説明は図2に基づいて行う。

製造方法では、まず、第1のフレキシブル基板20に第2のフレキシブル基板30を貼り付ける。詳しくは、半導体チップ10の搭載領域を穴34によって避けて、第2のフレキシブル基板30を第1のフレキシブル基板20に貼り付ける。この場合、第1のフレキシブル基板20と配線パターン22とが接着剤にて貼り付けられており、同一の接着剤を配線パターン22上に設けて第2のフレキシブル基板30を貼り付けることが好ましい。こうすることで、厚み方向で対称構造となる。

続いて、第1のフレキシブル基板20における配線パターン22が形成された面に異方性導電材料14を設ける。異方性導電材料14は、第2のフレキシブル基板30上に至るように設けてもよい。そして、半導体チップ10を第1のフレキシブル基板

20に搭載し、電極12と配線パターン22とを電氣的に接続する。以上の工程で、図3に示す半導体装置を得ることができる。

外部端子38を設ける工程は、第1のフレキシブル基板40(20)に半導体チップ10を搭載する工程と、第1のフレキシブル基板40(20)に第2のフレキシブル基板42(30)を貼り付ける工程と、が行われた後に行うことが多い。外部端子38を設ける工程は、ハンダボールを搭載したり、ハンダペーストを設けて、リフロー工程でハンダを溶融させる工程を含んでもよい。

上記実施の形態では、半導体チップ10を異方性導電材料14を使用してボンディングする例を説明したが、本発明はこれに限定されない。実装方法は、フェースアップボンディング、フェースダウンボンディング又はTABボンディングのいずれであってもよい。フェースアップボンディングでは、半導体チップ10の電極12と配線パターン22は、ワイヤーボンディングで接続され、その後半導体チップ10の実装部は樹脂で覆われることが多い。フェースダウンで実装される場合は、導電樹脂ペーストによるもの、Au-Au、Au-Sn、ハンダなどによる金属接合によるもの、絶縁樹脂の収縮力によるものなどの方法があり、そのいずれの方法を用いてもよい。

本実施の形態で述べた本発明に係る半導体装置は、次のような形態であってもよい。

(1) 本発明に係る半導体装置の他の形態は、

第1のフレキシブル基板における配線パターンが形成された面に半導体チップが搭載され、半導体チップの電極と配線パターンとがワイヤで接続されたものである。

これは、ワイヤボンディング型の半導体装置であって、例えばCSPの一形態である場合もある。その製造方法は、半導体チップの電極と配線パターンとをワイヤで接続する工程を含む。

(2) 本発明に係る半導体装置の他の形態は、

半導体チップと第1のフレキシブル基板とが間隔をあけて位置し、

第1のフレキシブル基板に、配線パターンに接続されているとともに第1のフレキシブル基板の端部から突出するリードが設けられ、

リードが、屈曲して半導体チップの電極に接続されたものである。

この半導体装置もCSPの一形態である場合もある。なお、第1のフレキシブル基

板と半導体チップとの間には、隙間をあけて、樹脂を充填してもよい。

その製造方法は、半導体チップの電極とリードと接続する工程と、を含む。なお、リードの接続には、シングルポイントボンディングを適用してもよい。

(3) 本発明に係る半導体装置の他の形態は、

第1のフレキシブル基板にはデバイスホールが形成され、

配線パターンは、第1のフレキシブル基板からデバイスホール内に突出（オーバーハング）するインナーリードをさらに含み、半導体チップの電極とインナーリードとが接続されたものである。

この半導体装置は、T-BGA (Tape-Ball Grid Array) の一形態である場合もある。その製造方法は、半導体チップの電極とインナーリードと接続する工程と、を含む。この製造方法には、TAB技術を適用することができる。

図4には、本発明を適用した半導体装置1100を実装した回路基板1000が示されている。回路基板には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板には例えば銅からなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置の外部端子とを機械的に接続することでそれらの電氣的導通を図る。

そして、本発明を適用した半導体装置を備える電子機器又は上記回路基板を備える電子機器として、図5には、ノート型パーソナルコンピュータ1200が示されている。

なお、上記本発明の構成要件「半導体チップ」を「電子素子」（能動素子か受動素子かを問わない）に置き換えて、半導体装置と同様に電子部品を構成することができる。このような電子素子から製造される電子部品として、例えば、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ポリウム又はヒューズなどがある。

請 求 の 範 囲

1. 複数の電極が形成された半導体チップと、

配線パターンが形成され、前記半導体チップが搭載された第1のフレキシブル基板と、

前記配線パターンを介して前記電極に電氣的に接続された複数の外部端子と、

前記半導体チップを避けて前記第1のフレキシブル基板に貼り付けられた第2のフレキシブル基板と、

を含む半導体装置。

2. 請求項1記載の半導体装置において、

前記第1及び第2のフレキシブル基板は、同一材料からなり、かつ厚みがほぼ等しい半導体装置。

3. 請求項1記載の半導体装置において、

前記配線パターンは、前記第2のフレキシブル基板と対向するように配置され、

前記第1のフレキシブル基板には、複数の貫通孔が形成されており、前記貫通孔を介して前記配線パターンと接続するように前記外部端子が設けられ、前記外部端子は前記第1のフレキシブル基板における前記配線パターンが形成された面とは反対側の面から突出してなる半導体装置。

4. 請求項3記載の半導体装置において、

前記第1及び第2のフレキシブル基板の間に形成され、前記配線パターンと同一材料からなり、かつ、厚みがほぼ等しく、前記配線パターンと電氣的に絶縁された導電箔をさらに有する半導体装置。

5. 請求項4記載の半導体装置において、

前記第1のフレキシブル基板と前記配線パターンとの接着手段と、前記第2のフレキシブル基板と前記導電箔との接着手段とは同じである半導体装置。

6. 請求項4記載の半導体装置において、

前記導電箔は、前記配線パターンの対称形状をなす半導体装置。

7. 請求項4記載の半導体装置において、

前記配線パターンにおける前記第 1 のフレキシブル基板とは反対側の面には、第 1 の絶縁膜が形成され、

前記導電箔における前記第 2 のフレキシブル基板とは反対側の面には、第 2 の絶縁膜が形成されている半導体装置。

8. 請求項 3 記載の半導体装置において、

前記半導体チップの電極は、接着剤に導電粒子が分散されてなる異方性導電材料を介して前記配線パターンに電氣的に接続されており、

前記異方性導電材料によって、前記第 1 及び第 2 のフレキシブル基板が接着されている半導体装置。

9. 請求項 3 記載の半導体装置において、

前記第 1 及び第 2 のフレキシブル基板は、樹脂によって接着され、

前記樹脂は、前記第 1 のフレキシブル基板における前記配線パターンが形成された面上に設けられて、前記配線パターンにおける前記第 2 のフレキシブル基板を向く面及び側端面に密着している半導体装置。

10. 請求項 1 から請求項 9 のいずれかに記載の半導体装置が実装された回路基板。

11. 請求項 1 から請求項 9 のいずれかに記載の半導体装置を有する電子機器。

12. 複数の電極を有する半導体チップと、配線パターンが形成された第 1 のフレキシブル基板と、第 2 のフレキシブル基板と、を用意する工程と、

前記第 1 のフレキシブル基板に前記半導体チップを搭載する工程と、

前記第 1 のフレキシブル基板における前記半導体チップの搭載領域を除く部分に、第 2 のフレキシブル基板を貼り付ける工程と、

前記配線パターンを介して、前記電極と電氣的に接続される外部端子を設ける工程と、

を含む半導体装置の製造方法。

13. 請求項 12 記載の半導体装置の製造方法において、

前記第 2 のフレキシブル基板を貼り付ける工程を行った後に、前記第 1 及び第 2 のフレキシブル基板を打ち抜く工程を含む半導体装置の製造方法。

14. 請求項 13 記載の半導体装置の製造方法において、

前記第 1 及び第 2 のフレキシブル基板はテープ状をなし、

前記第 1 のフレキシブル基板には、前記配線パターンが繰り返して形成されており、

前記第 2 のフレキシブル基板には、前記半導体チップを避けるための穴が繰り返して形成されている半導体装置の製造方法。

15. 請求項 12 記載の半導体装置の製造方法において、

前記第 2 のフレキシブル基板を貼り付ける工程を行った後に、前記第 2 のフレキシブル基板を避けて前記第 1 のフレキシブル基板を打ち抜く工程を含む半導体装置の製造方法。

16. 請求項 15 記載の半導体装置の製造方法において、

前記第 1 のフレキシブル基板はテープ状をなし、

前記第 2 のフレキシブル基板は、前記第 1 のフレキシブル基板の打ち抜かれる領域よりも小さい形状をなし、

前記第 1 のフレキシブル基板には、前記配線パターンが繰り返して形成されており、

前記第 2 のフレキシブル基板には、前記半導体チップを避けるための穴が形成されている半導体装置の製造方法。

17. 請求項 12 記載の半導体装置の製造方法において、

前記第 2 のフレキシブル基板を貼り付ける工程を行った後に、前記半導体チップを搭載する工程を行う半導体装置の製造方法。

18. 請求項 12 記載の半導体装置の製造方法において、

前記半導体チップを搭載する工程を行った後に、前記第 2 のフレキシブル基板を貼り付ける工程を行う半導体装置の製造方法。

19. 請求項 18 記載の半導体装置の製造方法において、

前記半導体チップを搭載する工程は、前記第 1 のフレキシブル基板に、前記半導体チップの搭載領域を超えて、接着剤に導電粒子が分散されてなる異方性導電材料を設ける工程と、前記異方性導電材料を介して前記電極と前記配線パターンとを電気的に接続する工程と、を含み、

前記第 2 のフレキシブル基板を貼り付ける工程では、前記異方性導電材料によって、前記第 2 のフレキシブル基板を前記第 1 のフレキシブル基板に貼り付ける半導体装

置の製造方法。

20. 請求項17記載の半導体装置の製造方法において、

前記第2のフレキシブル基板を貼り付ける工程は、前記第1及び第2のフレキシブル基板の少なくとも一方に樹脂を塗布する工程と、前記第1及び第2のフレキシブル基板を前記樹脂を介して密着させて前記樹脂を前記配線パターンにおける前記第2のフレキシブル基板を向く面及び側端面に密着させる工程と、を含む半導体装置の製造方法。

21. 請求項18記載の半導体装置の製造方法において、

前記第2のフレキシブル基板を貼り付ける工程は、前記第1及び第2のフレキシブル基板の少なくとも一方に樹脂を塗布する工程と、前記第1及び第2のフレキシブル基板を前記樹脂を介して密着させて前記樹脂を前記配線パターンにおける前記第2のフレキシブル基板を向く面及び側端面に密着させる工程と、を含む半導体装置の製造方法。

22. 請求項12から請求項21のいずれかに記載の半導体装置の製造方法において、

前記第1及び第2のフレキシブル基板の一方には、位置決め用の穴が形成されており、他方には位置決め用のマークが形成されており、前記穴と前記マークとを位置合わせして、前記第1及び第2のフレキシブル基板の位置合わせを行う半導体装置の製造方法。

23. 請求項12から請求項21のいずれかに記載の半導体装置の製造方法において、

前記第2のフレキシブル基板として、前記第1のフレキシブル基板と同じ材料であって同じ厚みで形成されたものを使用する半導体装置の製造方法。

24. 請求項12から請求項21のいずれかに記載の半導体装置の製造方法において、

前記第2のフレキシブル基板として、前記配線パターンと同じ材料であって同じ厚みからなる導電箔が形成されたものを使用し、

前記導電箔と前記配線パターンとを対向させて、かつ、電氣的に絶縁させて、前記第2のフレキシブル基板を前記第1のフレキシブル基板に貼り付ける半導体装置の製造方法。

25. 請求項24記載の半導体装置の製造方法において、

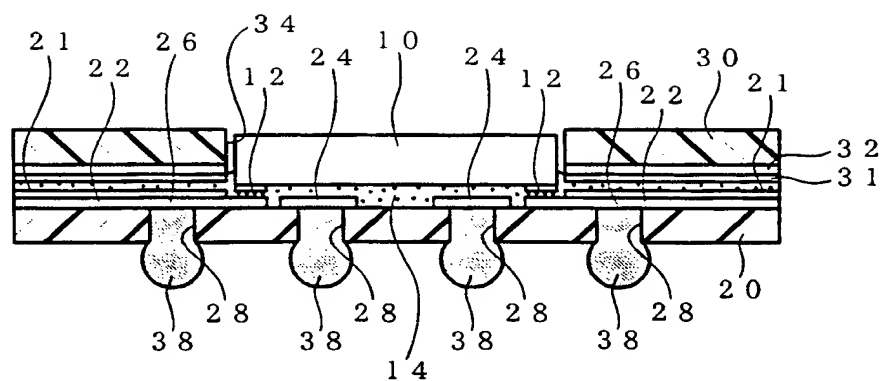
前記導電箔は、前記配線パターンの対称形状をなす半導体装置の製造方法。

26. 請求項24記載の半導体装置の製造方法において、

前記第1のフレキシブル基板として、前記配線パターンに第1の絶縁膜が形成されたものを使用し、

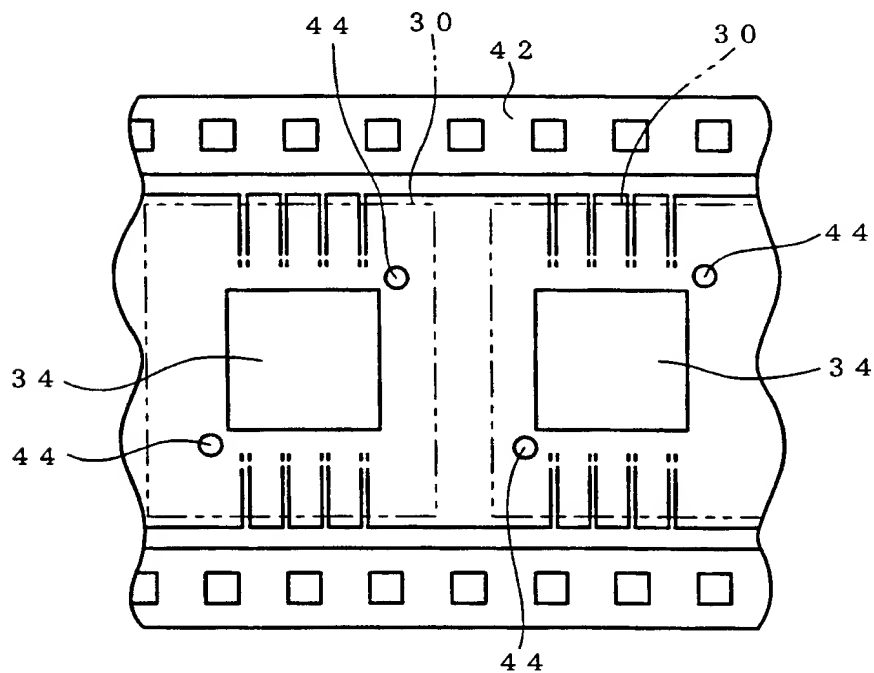
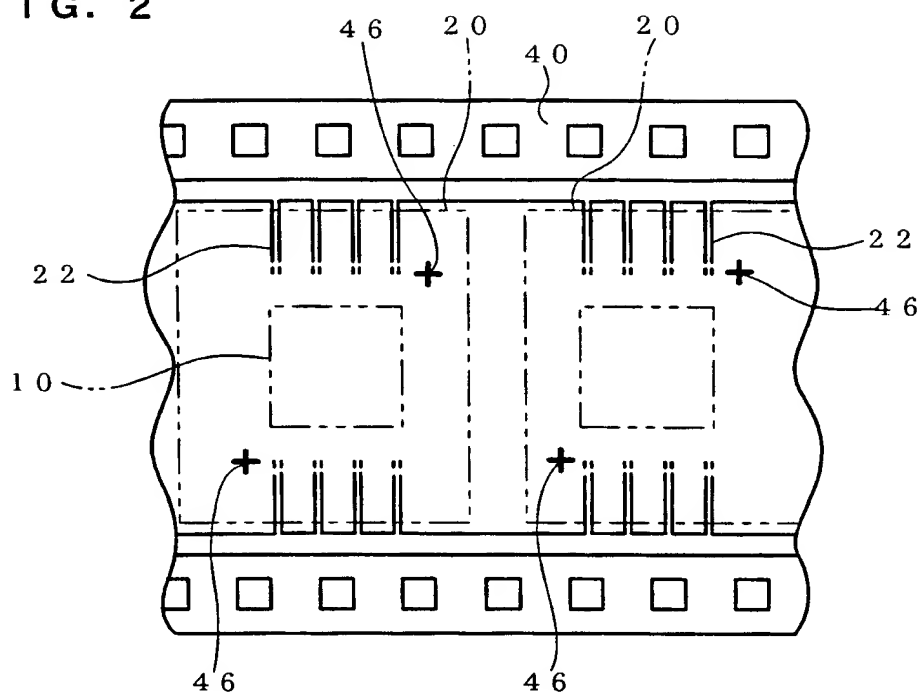
前記第2のフレキシブル基板として、前記導電箔に第2の絶縁膜が形成されたものを使用する半導体装置の製造方法。

FIG. 1



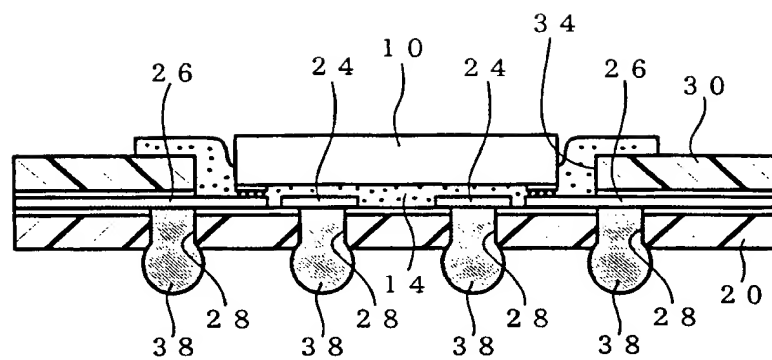
2 / 4

FIG. 2



3 / 4

FIG. 3



4 / 4

FIG. 4

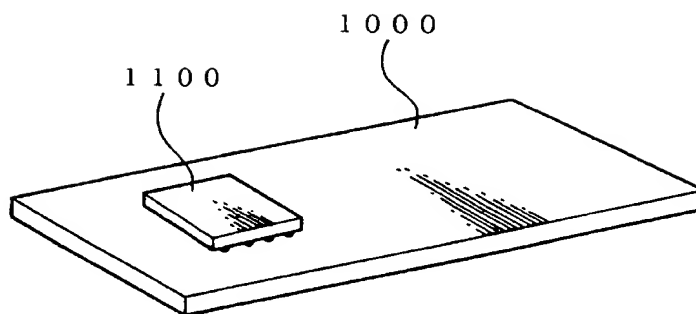
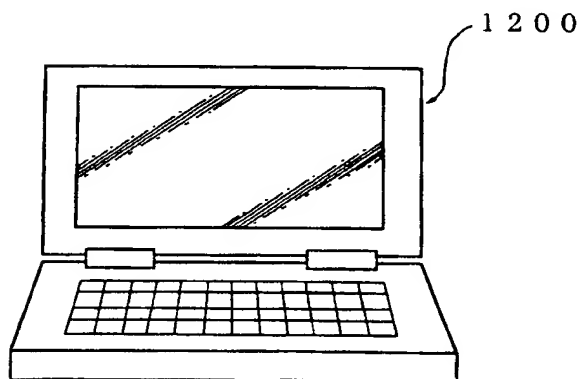


FIG. 5



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03051

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L23/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 11-97576, A (Matsushita Electric Ind. Co., Ltd.), 09 April, 1999 (09.04.99), Claims; Fig. 4 (Family: none)	1-26
A	JP, 4-287952, A (Mitsubishi Electric Corporation), 13 October, 1992 (13.10.92), Claims (Family: none)	1-26

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
07 August, 2000 (07.08.00)Date of mailing of the international search report
15 August, 2000 (15.08.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ H01L23/12

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2000年
 日本国登録実用新案公報 1994-2000年
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 11-97576, A (松下電器産業株式会社) 9.4月.1999 (09.04.99) 特許請求の範囲、図4 (ファミリーなし)	1-26
A	J P, 4-287952, A (三菱電機株式会社) 13.10.1992 (13.10.92) 特許請求の範囲 (ファミリーなし)	1-26

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

07.08.00

国際調査報告の発送日

15.08.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂本 薫昭

4R

9265

電話番号 03-3581-1101 内線 6362